

Д. т. н. А. И. БЕЛОУС, д. т. н. И. А. МУРАШКО, В. С. СЯКЕРСКИЙ

Республика Беларусь, г. Минск, Белорусский государственный
университет информатики и радиозлектроники,
НТИЦ «Белмикросистемы» НПО «Интеграл»
E-mail: office@bms.by

Дата поступления в редакцию
30.10 2007 г.

Оппонент д. т. н. В. В. БАРАНОВ
(БГУИР, г. Минск)

МЕТОДЫ МИНИМИЗАЦИИ ЭНЕРГОПОТРЕБЛЕНИЯ ПРИ ПРОЕКТИРОВАНИИ КМОП БИС

Представлены основные методы, позволяющие уменьшить величину рассеиваемой мощности на этапах проектирования КМОП БИС. Приведена классификация источников рассеиваемой мощности.

В настоящее время вследствие быстрого прогресса в области технологий производства полупроводниковых интегральных схем, в частности, перехода к субмикронным технологиям, возникают новые задачи логического синтеза вычислительных устройств, реализованных на основе новых технологий. Одной из таких задач является разработка методов проектирования микроэлектронных цифровых устройств с низким энергопотреблением [1]. Актуальность ее определяется следующими основными факторами:

- наличием множества приложений (портативные компьютеры, средства навигации, средства связи, цифровая аудио- и видеотехника), которые должны сочетать высокую надежность и требуемое быстродействие с низким потреблением энергии для достижения заданной продолжительности автономной работы;

- необходимостью снижать потребляемую мощность для решения проблемы отвода тепла, т. к. это определяет массогабаритные показатели устройств;

- необходимостью решения проблемы проведения эффективного тестирования сложнофункциональных цифровых устройств, при котором значительно возрастает рассеиваемая мощность [2].

Два последних десятилетия лидирующее положение на рынке полупроводниковых интегральных схем занимает КМОП-технология. Успешная реализация всех функциональных модулей вычислительных систем по этой технологии позволила создавать на одном кристалле функционально законченные устройства с высокой степенью интеграции. Это значительно увеличило функциональную насыщенность кристалла, снизило массогабаритные параметры конечного продукта, увеличило его производительность и уменьшило потребление энергии. Например, в 2007 году фирма Intel начала массовое производство процессора с рабочим названием Penryn, который изготавливается по техпроцессу 45 нм в двух конфигурациях: двухядерной (около 410 млн. тран-

зисторов) и четырехядерной (более 820 млн. транзисторов) [3]. При этом, несмотря на значительное увеличение количества транзисторов и возрастание функциональных возможностей (добавлено порядка 50 новых инструкций Intel SSE4 для увеличения производительности обработки мультимедийных данных), величина потребляемой мощности нового процессора не увеличилась. Так, процессор мобильного компьютера потребляет порядка 35 Вт, настольной системы — порядка 65 Вт и порядка 80 Вт — четырехядерный серверный процессор.

В первой части настоящей статьи приведена классификация источников рассеиваемой мощности и показано, что для традиционных КМОП-технологий львиную долю рассеиваемой мощности составляет динамическая, которая определяется током заряда-разряда паразитной емкости узла и сквозным током от источника питания к общему проводу в момент изменения логического уровня. Во второй части представлены основные методы, позволяющие уменьшить величину рассеиваемой мощности на этапах проектирования КМОП БИС.

Источники рассеиваемой мощности в КМОП БИС

Как известно, основу КМОП-технологии составляет использование комплементарной пары полевых (или униполярных) транзисторов с индуцированными каналами n - и p -типа. Еще раз напомним известные принципы работы базовых логических элементов, выполненных по КМОП-технологии.

В состав типового инвертора (рис. 1, а) входят два последовательно соединенных транзистора различного типа, затворы которых соединены параллельно и являются входом. При подаче на вход высокого ($+V_{dd}$) или низкого (около 0 вольт) напряжения открыт только один из транзисторов. Сопротивление сток-исток закрытого транзистора очень велико (мегаомы), поэтому через инвертор протекает очень малый статический ток. Таким образом, основное потребление энергии происходит только в момент переключения инвертора. На рис. 1, б показана структура этого КМОП-инвертора. Поскольку для формирования p -канального МОП-транзистора требуется создать «карман» n -типа, то при равных геометрических размерах p -канальный транзистор всегда имеет меньший ток насыщения, чем n -канальный.

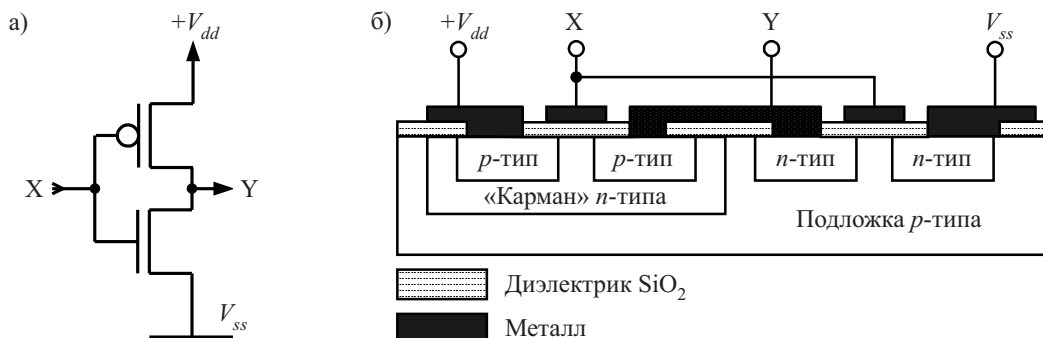


Рис. 1. Принципиальная схема КМОП-инвертора (а) и его структура (б)

Рассеиваемую мощность КМОП-схем можно разделить на два вида — динамическую и статическую. Классификация источников рассеиваемой мощности представлена на рис. 2 [4]. Рассмотрим эти источники более подробно.

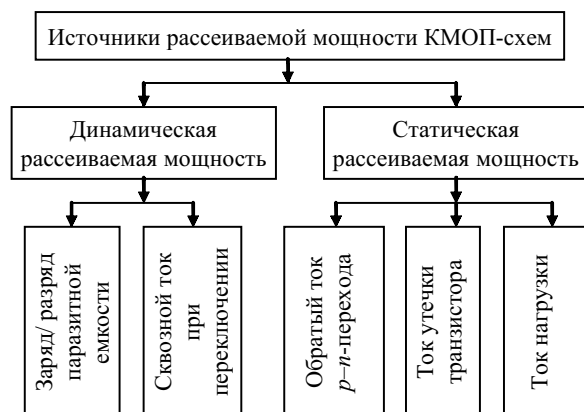


Рис. 2. Источники рассеиваемой мощности КМОП-схем

Динамическая рассеиваемая мощность возникает в момент переключения схемы из одного логического состояния в другое и определяется двумя основными источниками — сквозными токами, которые протекают через логический элемент в момент переключения, и токами заряда/разряда паразитных емкостей логических элементов. Следовательно, чем выше переключательная активность схемы, тем больше рассеиваемая мощность. При отсутствии переключений динамическая мощность равна нулю.

Большинство цифровых КМОП БИС не требуют использования конденсаторов для выполнения своих функций. Исключение составляют устройства динамической памяти, устройства выборки-хранения,

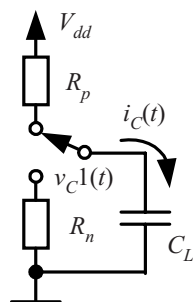


Рис. 3. Эквивалентная электрическая схема инвертора

устройства задержки сигналов. Конденсаторы в эквивалентной схеме КМОП-элемента образуются за счет паразитных емкостей транзисторов и линий связи, поэтому паразитная емкость оказывает существенное влияние как на время задержки распространения сигнала, так и на величину рассеиваемой мощности.

Для оценки величины рассеиваемой мощности представим инвертор на рис. 1, а в виде переключаемой емкости C_L . Ее заряд и разряд происходит через резисторы R_p и R_n , параметры которых определяются сопротивлением открытого канала p -канального и n -канального транзисторов, соответственно (рис. 3).

Переключение элемента в состояние логической единицы «1» соответствует заряду конденсатора C_L до уровня напряжения $V_{C1}(t)$ а переключение элемента в состояние логического нуля «0» соответствует разряду C_L . При заряде половина энергии, поступающей от источника питания, сохраняется на конденсаторе C_L , а другая половина рассеивается в виде тепла на резисторе R_p [5]. При переключении инвертора в состояние логического нуля энергия, сохраненная на конденсаторе, будет рассеяна на резисторе R_n . Таким образом,

$$E_n = E_p = 1/2 C_L V_{dd}^2. \quad (1)$$

Если частота управляющего сигнала равна f , то рассеиваемая мощность

$$P = 1/2 C_L V_{dd}^2 f. \quad (2)$$

Вторым источником динамической рассеиваемой мощности КМОП-схем является сквозной ток через логический элемент при его переключении $i_C(t)$.

Отметим особенности сквозного тока:

1) Сквозной ток протекает только в момент времени t , когда входное напряжение $V_{in} > V_{tn}$ и $V_{in} < V_{tp}$, где V_{tn} и V_{tp} соответственно пороговые напряжения n - и p -канальных транзисторов. Следовательно, чем меньше разница между этими значениями, тем меньше сквозной ток.

2) Величина сквозного тока обратно пропорциональна емкости нагрузки C_L . При отсутствии емкости значение тока максимально, при возрастании емкости нагрузки ток уменьшается.

3) Величина сквозного тока прямо пропорциональна длительности фронтов входного сигнала, т. е. чем длиннее фронт, тем больше сквозной ток.

Для упрощения расчетов сквозной ток будем учитывать в виде дополнительной емкости C_{SC} , которая размещается параллельно C_L . Значение этой емкости может быть найдено из выражения

$$C_{SC} = \frac{t_{SC} I_{peak}}{V_{dd}}, \quad (3)$$

где V_{dd} — напряжение питания;

I_{peak} — ток насыщения транзисторов;

t_{SC} — время протекания сквозного тока.

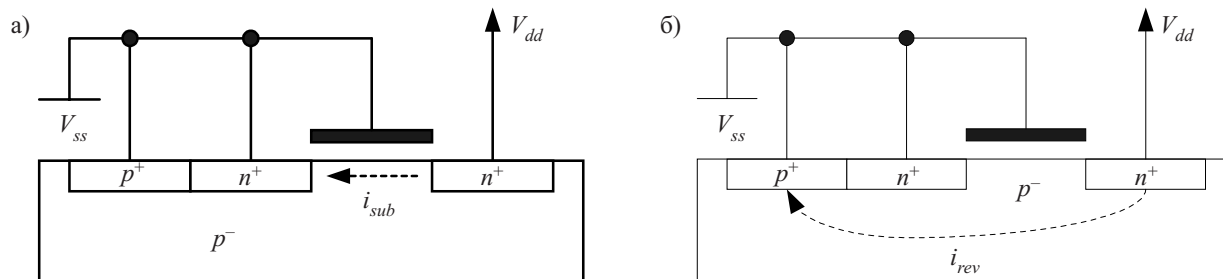


Рис. 4. Токи утечки КМОП-схем:

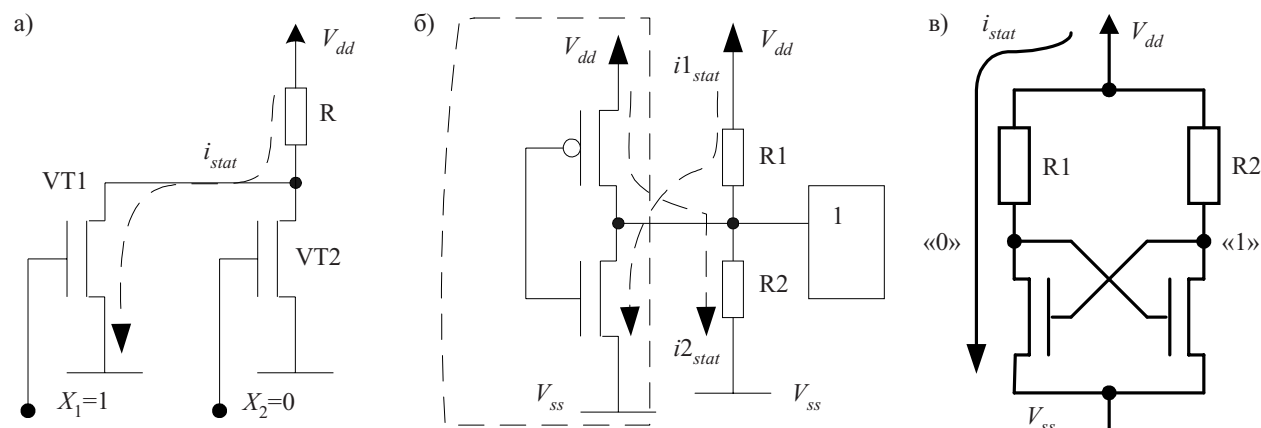
 а — ток утечки канала i_{sub} ; б — обратный ток $p-n$ -перехода i_{rev}


Рис. 5. Статические токи КМОП-схем:

а — схема «монтажное ИЛИ» (а); б — выход с «открытым стоком»; в — схема с резистивной нагрузкой выхода

Это позволяет для оценки динамической мощности использовать (2), как это было сделано в [6].

Мощность, рассеиваемая КМОП-схемой вследствие протекания сквозного тока, может составлять от 10 до 60% от общей динамической мощности. Ее величина зависит от таких параметров, как вольт-амперные характеристики транзисторов (напряжение отпирания и запираения транзисторов), длительности переднего и заднего фронтов входного сигнала, емкости нагрузки, напряжения питания и т. п. Точные выражения для расчета сквозных токов и рассеиваемой мощности представлены в [1, 6].

Статическая мощность в КМОП БИС рассеивается тогда, когда логический элемент находится в некотором фиксированном состоянии («0» или «1»), и ее величина определяется значением токов утечки канала МОП-транзистора, обратных токов $p-n$ -переходов и нагрузочными токами (рис. 4, 5).

В идеальном случае в статическом состоянии КМОП-элемент не потребляет мощность, т. е. ток через него не протекает. Однако в реальных схемах значение тока утечки канала составляет единицы пикоампер.

На рис. 4, а показано направление протекания тока через закрытый канал транзистора. Он экспоненциально зависит от величины порогового напряжения и линейно зависит от уровня входного сигнала, геометрических размеров транзисторов и топологии схемы, температуры (ток удваивается при повышении температуры на каждые 8—10°C) и используемой технологии.

Вторым источником тока утечки является обратный ток $p-n$ -переходов, которые формируются между различными областями КМОП интегральной схемы (рис. 4, б). Величина обратного тока зависит от используемой технологии изготовления, площади $p-n$ -перехода, температуры и напряжения смещения и составляет, как правило, пикоамперы.

Поскольку суммарное значение токов утечки в 10^5 — 10^6 раз меньше, чем динамических токов, в расчетах их, как правило, не учитывают. В тех случаях, когда необходимо учесть мощность, рассеиваемую вследствие токов утечки, можно использовать следующее выражение:

$$P_{leak} = V_{dd} N K_d I_{leak} \quad (4)$$

где V_{dd} — напряжение питания;

N — число транзисторов;

K_d — эмпирический коэффициент, учитывающий особенности применяемой технологии;

I_{leak} — суммарный ток утечки одного транзистора.

В некоторых случаях, таких как схемы с открытым стоком, элементы «монтажное ИЛИ» или резистивная нагрузка выходов схемы, КМОП-схема может потреблять ток и в статическом режиме (рис. 5). Тогда величина тока и, соответственно, рассеиваемая мощность зависят от логического состояния и сопротивления нагрузки. Например, для схемы «монтажное ИЛИ» (рис. 5, а) или схем с открытым стоком (рис. 5, б) ток протекает только в состоянии «0». В состоянии «1» он равен нулю. Для схем с резистивной нагрузкой ток протекает как в состоянии логического нуля, так и в состоянии логической единицы.

ницы (рис. 5, в). В общем случае мощность, рассеиваемая вследствие протекания постоянного тока, определяется выражением

$$P_{stat} = V_{dd} I_{stat} \quad (5)$$

Для учета изменения мощности в зависимости от логического состояния можно использовать следующее выражение:

$$P_{stat} = p(0)P_{stat}^0 + p(1)P_{stat}^1, \quad (6)$$

где $p(0)$, $p(1)$ — вероятность нахождения узла схемы в состоянии «0» или «1», соответственно;

P_{stat}^0 , P_{stat}^1 — мощность, потребляемая узлом схемы в состоянии «0» или «1», соответственно.

При использовании КМОП-технологии не рекомендуется использовать резистивную нагрузку выходов. Если без этого обойтись нельзя, то необходимо увеличить величину сопротивления нагрузки, уменьшить напряжение питания или минимизировать вероятность нахождения схемы в логическом состоянии, при котором ток нагрузки максимален.

Методы уменьшения величины рассеиваемой мощности в КМОП БИС

Не существует универсального решения, которое было бы применимо во всех возможных ситуациях. Поэтому необходимо учитывать особенности проектируемого устройства (такие как быстродействие, затраты на реализацию, надежность, тестируемость, ремонтпригодность и т. п.) для выбора методов и средств минимизации потребления энергии.

Рассмотрим основные подходы, применяемые комплексно или в отдельности для уменьшения потребления энергии при проектировании КМОП БИС.

На рис. 6 представлена обобщенная классификация основных используемых методов минимизации энергопотребления.

При традиционных КМОП-технологиях (минимальные размеры элементов не переходят в субмикронную область) основную долю рассеиваемой мощности составляет динамическая мощность, которая определяется выражением (2). Снижение любого параметра — напряжения питания, напряжения переключения, перезаряжаемой емкости или частоты переключения — приводит к снижению величины рассеиваемой мощности.

Традиционно наибольшее внимание ученых было направлено на снижение величины напряжения питания. Это связано с тем, что для большинства КМОП-схем напряжение питания равно переключаемому напряжению. Между динамической рассеиваемой мощностью и напряжением питания БИС существует квадратичная зависимость. Кроме того, при уменьшении напряжения питания одновременно уменьшается и статическая мощность.

Как показано в [7], время задержки распространения сигнала t_d через МОП-транзистор определяется выражением:

$$t_d = \frac{C_L \cdot V_{dd}}{(V_{dd} - V_{th})^\alpha}, \quad (7)$$

где V_{th} — пороговое напряжение;
 α — эмпирическая константа.

Таким образом, уменьшение напряжения питания при сохранении порогового напряжения на постоянном уровне приводит к возрастанию времени переключения транзистора, что отрицательно сказыв-

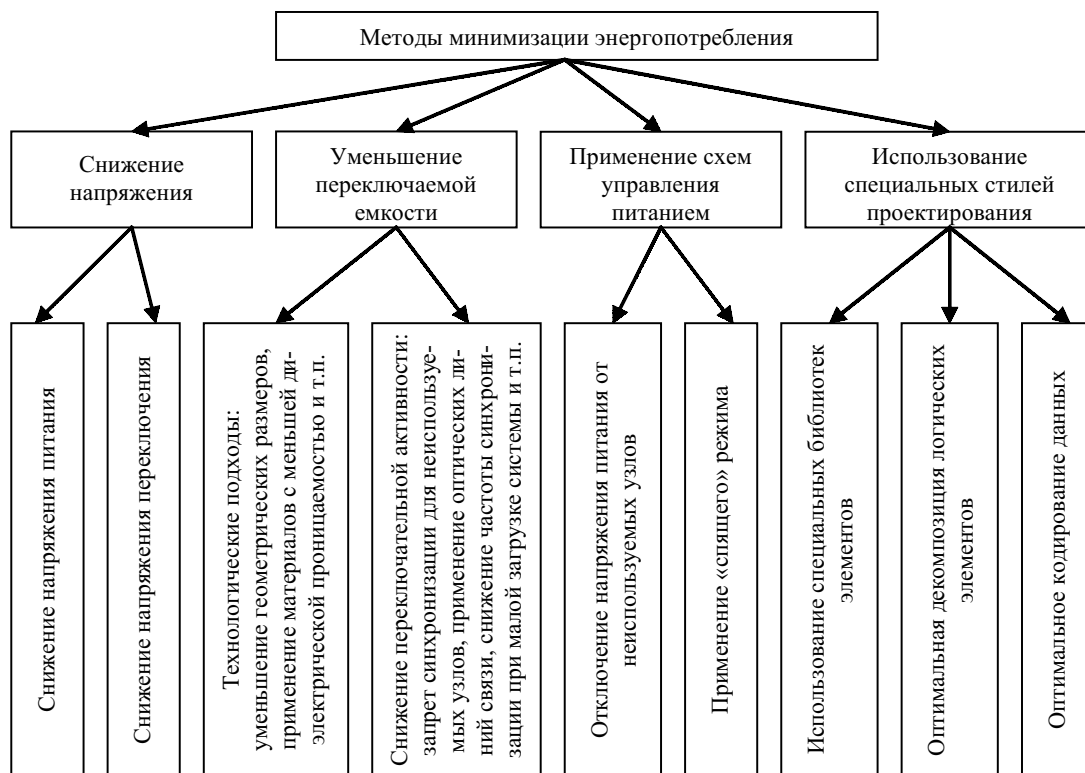


Рис. 6. Классификация основных методов минимизации потребления энергии при проектировании КМОП БИС

вается на быстродействии схемы. С другой стороны, уменьшение порогового напряжения приводит к значительному возрастанию токов утечки канала. Максимальное снижение общей рассеиваемой мощности наблюдается в том случае, когда мощность, определяемая токами утечки, имеет тот же порядок, что и динамическая мощность [8]. Например, для технологии 0,13 мкм минимум рассеиваемой мощности без потери производительности наблюдается при $V_{dd}=1,5$ В, $V_{th}=0,15$ В, $T=125^\circ\text{C}$.

Следующим неблагоприятным следствием уменьшения напряжения питания является снижение помехоустойчивости, т. к. уменьшается разница между логическими уровнями. Кроме того, изменение логических уровней требует применения специальных преобразователей уровней напряжения для стыковки выходов СБИС с элементами стандартной логики. В современных процессорных СБИС используется, как правило, два напряжения питания: одно — для питания ядра (0,9—1,7 В), а второе — для питания обрамления (2,5 или 3,3 В). Альтернативным подходом является снижение переключаемого напряжения. То есть заряд/разряд конденсатора происходит не на величину напряжения питания V_{dd} , а на некоторую его часть, например от $1/3$ до $2/3 V_{dd}$. При этом не теряется быстродействие, не требуются преобразователи уровня. Помехоустойчивость уменьшается из-за уменьшения разницы в логических уровнях. Однако в отличие от предыдущего подхода, мощность, рассеиваемая вследствие протекания статического тока, не уменьшается.

Как отмечено выше, для работы цифровых КМОП-схем конденсаторы не нужны, однако они формируются в современных БИС за счет паразитных емкостей p - n -переходов, паразитных емкостей линий связи и т. п. Избавиться от этих емкостей невозможно, поэтому при проектировании СБИС необходимо учитывать и минимизировать их величины. При этом необходимо использовать различные подходы: уменьшение геометрических размеров элементов, уменьшение длины линий связи, оптимизация размещения компонентов и линий связи, применение новых материалов и технологий изготовления и т. п. Кроме того, для минимизации величины сквозного тока, который учитывается в виде дополнительной емкости C_{CS} на основании (3), необходимо использовать быстродействующие транзисторы, которые работают на минимально возможной частоте. Это позволяет существенно снизить длительность фронтов сигнала и, соответственно, уменьшить сквозной ток.

Следующим фактором, влияющим на величину динамической мощности, является частота переключения, поэтому ее снижение также будет приводить к снижению рассеиваемой мощности. Однако при этом возникает конфликт с требованиями, касающимися производительности. Для устранения этого конфликта можно использовать различные подходы. Во-первых, при проектировании новых устройств приоритет должен отдаваться решениям с пониженными требованиями к рабочей частоте функциональных

компонентов. Во-вторых, для снижения тактовой частоты необходимо применять методы параллельного выполнения операций на конвейере. В-третьих, целесообразно использовать различные схемы запирета синхронизации как для неиспользуемых функциональных модулей, так и для модулей или компонентов, информация в которых не изменяется в данный момент. Например, при проведении целочисленных вычислений обычно не используются узлы сопроцессора, которые предназначены для вычислений с плавающей запятой, поэтому на эти узлы в данный момент импульсы синхронизации поступать не должны.

При проектировании цифровых устройств с минимальным потреблением энергии в качестве оценки обычно используют произведение переключаемой емкости и частоты переключения — так называемую переключающую активность. Существует множество решений — технологических, схемотехнических, алгоритмических и т. п., которые позволяют минимизировать и этот параметр. Во-первых, для узлов с большой емкостью необходимо минимизировать частоту переключения. Для узлов с высокой частотой переключения надо минимизировать переключаемую емкость. Во-вторых, весьма эффективно можно применять эквивалентные преобразования схемы для минимизации переключающей активности. Например, семивходовый элемент И может быть реализован на шести двухвходовых элементах И, двух четырехвходовых элементах и т. д. [9]. В-третьих, используют специальные методы кодирования данных, которые также позволяют минимизировать переключающую активность при работе схемы. Например, для перебора всех адресов памяти при использовании счетчика Грея в качестве генератора адреса требуется только 2^n переключений, тогда как использование двоичного счетчика потребует $2^{n+1}-2$ переключений [10].

И наконец, слабым местом, которое существенно ограничивает возможность увеличения производительности КМОП-микропроцессоров и «систем на кристалле» является цепь синхронизации. Импульсы синхронизации должны одновременно поступать на все узлы цифрового устройства. Однако на кристалле БИС линии синхронизации имеют большую длину и, как следствие, большие сопротивление и емкость. Поэтому высокая частота работы, большое сопротивление и большая емкость линий связи приводят к тому, что в цепях синхронизации современных БИС иногда рассеивается до 50% от общей мощности. Одно из решений — замена металлических проводников оптическими линиями передачи тактовых импульсов на кристалле. Так, в [11] показано, что для технологии 70 нм применение оптических линий связи позволяет в пять раз снизить рассеиваемую мощность в цепи синхронизации.

Дальнейшее совершенствование технологии производства СБИС и уменьшение геометрических размеров элементов приводит к изменению степени влияния различных источников на суммарное значение рассеиваемой мощности. Так, при переходе в

субмикронную область значительно возрастает доля статической мощности, которая в основном определяется токами утечки и обратными токами $p-n$ -переходов. Если для технологии 1,0 мкм при напряжении питания 3,3 В доля статической мощности составляла всего 0,01%, то для технологии 0,13 мкм и напряжении питания 1,3 В она возрастает до 10%. При дальнейшем уменьшении геометрических размеров элементов доля статической мощности еще больше возрастает и для технологии 0,07 мкм при напряжении питания около 1,0 В она уже достигает 50% от общей величины мощности, рассеиваемой полупроводниковым кристаллом БИС.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Roy K., Prasad S. C. Low power CMOS VLSI circuit design.— New York: John Wiley and Sons, Inc., 2000.
2. Zorian Y. A. Distributed BIST control scheme for complex VLSI dissipation // Proceedings 11th IEEE VLSI Test Symposium (VTS'93), Princeton, NJ, April 6–8, 1993.— IEEE Computer Society Press, 1993.— P. 4–9.
3. Masaki A. Possibilities of deep submicrometer CMOS for very high-speed computer logic // Proc. IEEE.— 2004.— Vol. 81.— P. 1311–1324.
4. Мурашко, И. А. Методы минимизации энергопотребления при самотестировании цифровых устройств: Монография / И. А. Мурашко, В. Н. Ярмолик.— Минск: Бестпринт, 2004.
5. Yeap G. P. Practical low power digital VLSI design, Kluwer Academic Publisher, 1998.
6. Turgis S., Azemard N., Auvergne D. Explicit evaluation of short circuit power dissipation for CMOS logic structures // Proc. ISLPD.— 1995.— P. 129–134.
7. Sakurai T., Newton A. R. Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas // IEEE J. Solid-State Circuits.— 1990.— Vol. 25.— P. 584–594.
8. Ultra low-power electronics and design / Edited by Macii E.— Dordrecht: Kluwer Academic Publisher, 2004.
9. Yarmolik V., Murashko I. A peak-power estimation for digital circuits design // Fifth Int. Conf. «New Information Technologies».— Minsk: BSEU.— 2002.— P. 34–38.
10. Мурашко И. А., Ярмолик В. Н., Методика проектирования отказоустойчивых ОЗУ с пониженным энергопотреблением // Сб. Моделирование интеллектуальных процессов проектирования, производства и управления / Под ред. В. И. Махнач, Е. В. Владимировой / Мн.: ОИПИ НАН РБ, 2003.— С. 240–245.
11. Tosik G., Gaffiot F., Lisik Z. et al. Power dissipation in optical and metallic clock distribution networks in new VLSI technologies // Electronics Letters.— 2004.— Vol. 4, N 3.— P. 198–200.

ВЫСТАВКИ. КОНФЕРЕНЦИИ

XIV Международная научно-техническая конференция ВЫСОКИЕ ТЕХНОЛОГИИ В ПРОМЫШЛЕННОСТИ РОССИИ (Материалы и устройства функциональной электроники и микрофотоники)

XXI Международный симпозиум ТОНКИЕ ПЛЕНКИ В ЭЛЕКТРОНИКЕ

Основные направления:

- ✦ *Материалы, оборудование и технологии функциональной электроники и микрофотоники.*
- ✦ *Нанотехнологии в функциональной электронике и микрофотонике.*
- ✦ *Технологии производства, обработки и исследования наноструктурированных материалов.*
- ✦ *Системы и устройства радиотехники и средств связи.*
- ✦ *Метаматериалы и фотонные кристаллы в оптоэлектронике и оптическом приборостроении.*
- ✦ *Технологии, материалы и оборудование для производства СВЧ электронной техники и радиоэлектронных устройств.*
- ✦ *Микроэлектромеханические системы в медицине и промышленности.*
- ✦ *Получение, свойства и применение тонких пленок в электронике.*
- ✦ *Слоистые структуры на основе тонких пленок.*
- ✦ *Методы контроля функциональных свойств материалов электронной техники, измерительная аппаратура и аналитические методы.*
- ✦ *Моделирование и информационное обеспечение исследований.*



Москва, 11—13 сентября 2008 г.

ЦНИТИ «Техномаш»

Московский государственный технический университет им. Н.Э.Баумана

**Посвящается 45-летию
ЦНИТИ «Техномаш»**

Реквизиты для связи:

121108, Россия, г. Москва, ул. Ивана Франко, 4
E-mail: samoylovich@technomash.ru
belyanin@technomash.ru
Тел. +7(495) 146-10-95,
Тел./факс +7 (495)146-19-42