

Д. т. н. А. А. ДРУЖИНИН, В. И. ГОЛОТА, к. т. н. И. Т. КОГУТ,
С. В. САПОН, к. т. н. Ю. М. ХОВЕРКО

Украина, г. Львов, НУ “Львовская политехника”;
г. Ивано-Франковск, Прикарпатский НУ
E-mail: druzh@polynet.lviv.ua

Дата поступления в редакцию
19.05 2008 г.

Оппонент к. т. н. П. В. ПАЩЕНКО
(НИИ ядерной физики, г. Москва)

ПРИБОРНО-ТЕХНОЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ АВТОЭМИССИОННЫХ КРЕМНИЕВЫХ МИКРОКАТОДОВ

Предложена структура преобразования топологической информации для цифровой литографии. Разработаны метод формирования трехмерных структур кремний-на-изоляторе и элементы управления автоэмиссионного микрокатода.

Автоэмиссионные кремниевые микрокатоды являются ключевым элементом в системах цифровой литографии [1]. Для такой литографии эффективная скорость передачи топологической информации в цепи “САПР—канал—микрокатод” находится в терабитном диапазоне [2]. В настоящее время достичь такой скорости передачи информации технически сложно. Поэтому проведение комплексных исследований по разработке как структуры системы преобразования топологической информации в системах цифровой литографии, так и ее отдельных элементов, с возможностью их технической реализации является актуальной проблемой, которой и посвящена данная работа.

Структура системы преобразования топологической информации

Результаты проектирования интегральных схем (ИС) в САПР-системах записываются в файлы стандартного формата, например GDS-2 [3]. Файлы хранят топологическую информацию, которая преобразуется, и используются для управления проекционной литографией, как это показано на рис. 1.

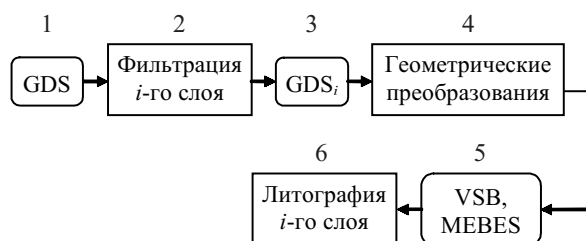


Рис. 1. Структура системы преобразования топологической информации:

1 — иерархический формат данных GDS-2; 2 — фильтрация данных i -го топологического слоя; 3 — “плоский” формат данных GDS-2; 4 — разбивка топологических примитивов на фрагменты и замена их прямоугольниками; 5 — VSB-, MEBES-форматы данных для изготовления фотошаблонов; 6 — литография i -го слоя топологии с использованием фотошаблонов

Для изготовления больших ИС необходимо от 20 до 30 фотошаблонов, сложность и стоимость которых несоизмеримо возрастает с увеличением разрешающей способности литографии. Одним из возможных путей уменьшения затрат на литографию является применение технологий прямой записи без использования фотошаблонов. Так, в [1] для экспозиции фоторезиста предлагается использовать автоэмиссионные микрокатоды одинаковых размеров, которые интегрированы со схемами управления и памяти, изготовленными по комплементарной металл-окисел-полупроводниковой (КМОП) технологии. Для экспозиции кремниевой пластины $\varnothing 300$ мм монокхромными пикселями размером $\alpha = 25$ нм с 5-битовым цветом и допуском на совмещение $\lambda = 50$ нм расчетные скорости передачи топологической информации составляют 10 Тбит/с [2]. Для снижения скорости предлагается программно сжимать информацию для каждого топологического слоя, помещать ее в DRAM-память компьютера объемом 64 Гбит, а затем передавать на аппаратные схемы разжатия, которые интегрированы со схемами управления микрокатадами на одном кристалле [2, 4, 5]. Однако такая интеграция схем, а также их изготовление по КМОП-технологии и обеспечение допустимых тепловых режимов работы, является технологически и технически сложной задачей.

В цифровой литографии функцию фотошаблона выполняют матрицы микрокатодов со схемами управления и памяти. В ячейки памяти записывается информация о топологии ИС. Для автоэмиссионного режима работы микрокатодов необходим высокий вакуум (10^{-6} торр), который проще поддерживать в небольших объемах. Исходя из этого, целесообразно формировать матрицы автоэмиссионных микрокатодов, схемы управления и память на отдельных кристаллах, например, размером 10×10 мм на пластине $\varnothing 100$ мм, изготовленной по технологии кремний-на-изоляторе (КНИ). Скорость передачи информации в этом случае будет 1,11 Тбит/с. Использование 1-битных пикселей уменьшит скорость передачи информации до 0,22 Тбит/с, а 16-канальная линия передачи снизит ее до 13,89 Гбит/с. Кроме того, для экспозиции элементов с критическими размерами, элементов с эффектами “близости”, контурных элементов, активных приборных структур и изоляционных областей можно использовать пиксели как

Размер пиксела	Количество каналов	Количество разрядов управления экспозицией	Коэффициент покрытия площади пикселями	Скорость передачи информации, Мбит/с
α	8	3	0,14	243,1
2α	4	2	0,26	451,4
4α	2	1	0,30	520,8
8α	1	0	0,12	208,4
16α	1	0	0,08	69,5

Примечание. α — размер пиксела, определяющий разрешение литографии.

разных размеров, так и с разным временем экспозиции. Разное время экспозиции можно закрепить за каналами, по которым передается информация о пикселях одного размера, и в результате получить технически реализуемые скорости передачи информации, приведенные в **таблице**.

Для реализации указанных скоростей передачи информации предлагается структура системы преобразования топологической информации, которая показана на **рис. 2**.

Согласно рис. 2, в исходном САПР-файле выбирается i -й слой топологии и формируется выходной файл GDS_i в “плоском” формате GDS-2. Файл GDS_i преобразуется в растровый с пикселями размером α . Результат растеризации записывается в BIT-файл, который является растровым, монохромным с 1-битовым цветом. Формат имеет следующую структуру: заглавие (номер слоя, размер пиксела, ширина раstra в пикселях, длина раstra в пикселях), запись (пиксел 1-битовый). Информация из BIT-файла поступает на блок оптимизации покрытия топологических примитивов пикселями из заданного набора размеров ($1\alpha, 2\alpha, 4\alpha, 8\alpha, 16\alpha$). Топология и технология изготовления микрокатодов, которые при экспозиции формируют пиксели разных размеров, описана в [7, 8], а сам способ экспозиции — в [9].

Файл BITO — с оптимизированным покрытием топологических примитивов, растровый с пикселями разных размеров и 4-битовым цветом. Структура формата файла: заглавие (номер слоя, ширина раstra в пикселях минимального размера, длина раstra в пикселях минимального размера, код пиксела 1, размер пиксела 1, код пиксела 2, размер пиксела 2,

... код пиксела 16, размер пиксела 16), запись (код пиксела). Файл BITO поступает на блок фильтрации, в котором выделяются пиксели только одного размера и записываются в файл BITC.

Файл BITC — растровый, монохромный с 1-битовым цветом. Формат имеет следующую структуру: заглавие (номер слоя, код канала), запись (пиксел 1-битный). Информация из файла BITC по 16 каналам записывается в статическую память микрокатодов. Для экспозиции одной полосы шириной 10 мм на пластине с фоторезистом, которая перемещается дискретно с шагом, равным $\alpha=25$ нм, может использоваться матрица с 16 рядами микрокатодов. Размеры и расположение микрокатодов выбираются так, чтобы можно было сформировать 8 рядов по 400 пикселей 25 нм, 4 ряда по 200 пикселей 50 нм, 2 ряда по 100 пикселей 100 нм, 1 ряд из 50 пикселей 200 нм и 1 ряд из 25 пикселей 400 нм. Схема расположения микрокатодов в такой матрице показана в [8].

Информация, записанная в статическую память микрокатодов, используется блоком синхронизации для согласования перемещения пластины с фоторезистом и включения/выключения автоэмиссионных микрокатодов. Последовательная экспозиция на фоторезисте пикселей разных размеров формирует i -й слой топологии и таким образом выполняет функцию литографии. Топологическая информация вначале преобразовывается автономно (этапы Off-line на рис. 2), а затем — согласованно во времени с литографическим процессом (этапы On-line).

Технология формирования локальных КНИ-структур

Формировать автоэмиссионные кремниевые микрокатоды, схемы управления и памяти целесообразно на КНИ-структурах, которые имеют пониженное энергопотребление и повышенное быстродействие. Для создания КНИ-структур используются КНИ-пластины. Современные методы изготовления КНИ-пластин (SIMOX, ELTran, Smurt Cut) предусматривают образование сплошных КНИ-пленок на поверхности кремниевой пластины и используют уникальное технологическое оборудование. Однако анализ реальных топологий показывает, что в активных приборных структурах используется менее 40% площади, а остальная часть остается изоляционным материалом. Поэтому актуальным является поиск мето-

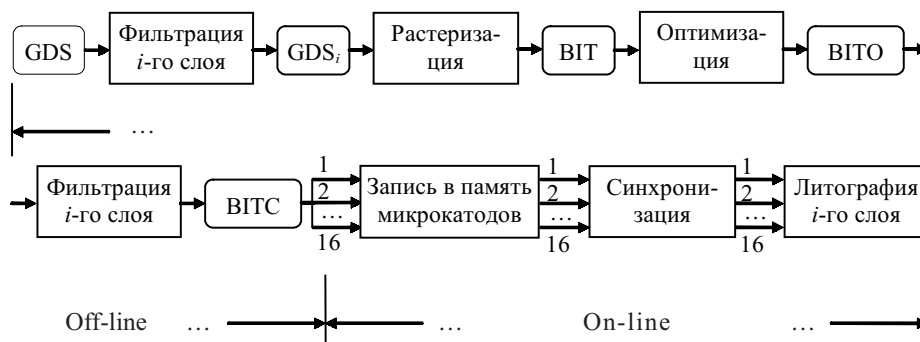


Рис. 2. Структура системы преобразования топологической информации для цифровой литографии

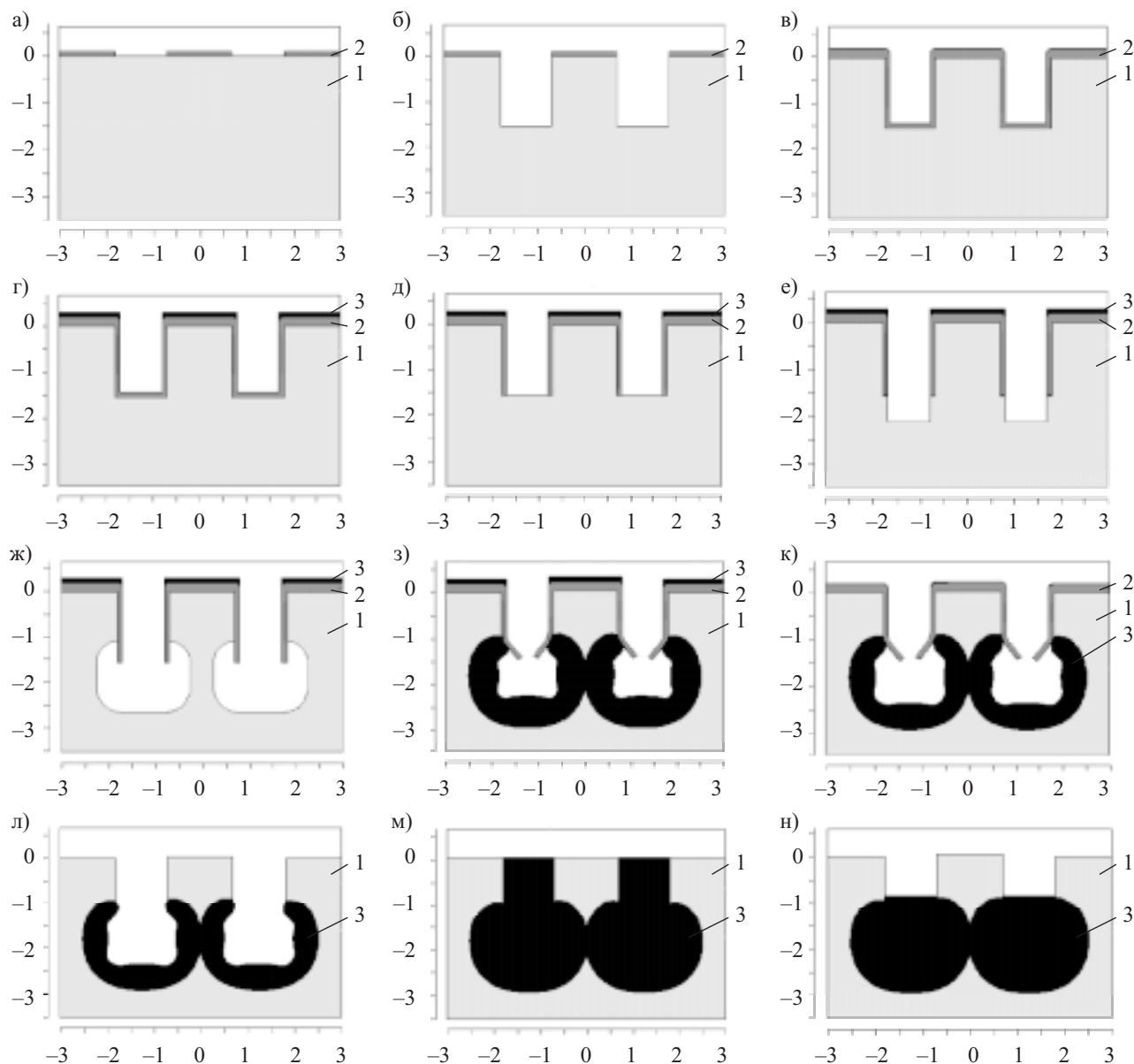


Рис. 3. Базовые технологические операции локального термического окисления кремния под поверхность пластины через горизонтальные туннели:

1 — кремниевая пластина КДБ-40 (100); 2 — слой нитрида кремния (Si_3N_4) или оксинитрида кремния (SiO_xN_y); 3 — области термически окисленного кристаллического кремния (на осях приведены размеры в мкм)

дов локального формирования КНИ-структур на пластине в местах, где должны быть размещены активные приборные элементы.

Авторами разработан метод формирования КНИ-структур на основе локального термического окисления кремния под поверхность пластины через горизонтальные туннели. На рис. 3 показаны результаты компьютерного моделирования следующей последовательности базовых технологических операций этого метода:

а) осаждение слоя Si_3N_4 на кремниевую пластину 1, на которой методом фотолитографии и плазмохимического травления формируют окна необходимой длины шириной 1 мкм;

б) анизотропное плазмохимическое травление незащищенных участков пластины на глубину 1,5 мкм;

в) осаждение слоя Si_3N_4 толщиной 0,02 мкм;

г) фотолитография и осаждение слоя оксида кремния SiO_2 толщиной 0,02 мкм на горизонтальную поверхность пластины;

д) анизотропное плазмохимическое травление Si_3N_4 на дне протравленных щелей в пластине;

е) анизотропное плазмохимическое травление кремния для увеличения глубины протравленных щелей в пластине на 0,5 мкм;

ж) изотропное травление кремния на глубину 0,5 мкм для создания объемных заглубленных полостей в пластине;

з) термическое окисление кремния на протяжении 90 мин для создания изолированных локальных областей кристаллического кремния;

к) травление SiO_2 толщиной 0,1 мкм;

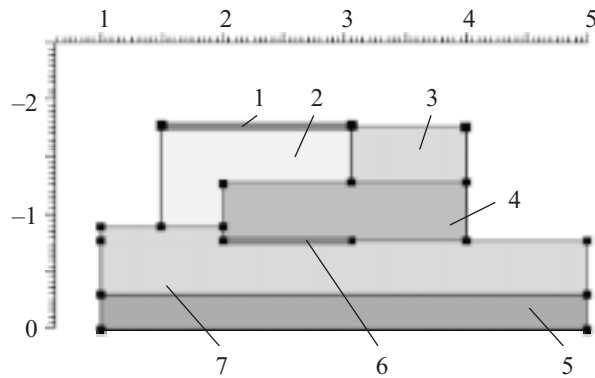


Рис. 4. Контакт на трехмерной КНИ-структуре:
1 — физический контакт (анод); 2 — металл; 3 — оксид кремния; 4 — поликремний; 5 — кремниевая подложка; 6 — физический контакт (катод); 7 — пленка SiO_2 (элементы 4, 5 и 7 образуют КНИ-структуру; на осях приведены размеры в мкм)

- л) травление всего слоя Si_3N_4 ;
- м) осаждение пиролитического SiO_2 и планаризация поверхности;
- н) травление SiO_2 толщиной 0,8 мкм.

Как показало моделирование, разработанный метод позволяет сформировать локальные микро-структуры типа “кремний-на-изоляторе”, а именно, участки кристаллического кремния-на-окисле, и создавать на этой основе микроэлектронные устройства. Это, например, МОП-приборы как со стандартными, планарными, конструкциями на поверхности КНИ-пленки, так и с объемными, сформированными на ее поверхности и стенках. Примеры такой трехмерной КНИ-структуры для контакта и МОП-транзистора изображены на рис. 4 и 5.

На рис. 5 элементами 1, 2 и 3 образован стандартный контакт между слоем металла и кремниевой шиной (сток транзистора). Элементы 1, 3 и 5 образуют трехмерный контакт между слоем металла и кремниевой шиной (исток транзистора), поперечное сечение которого изображено на рис. 4. Элементы 1, 4 и 7 образуют трехмерный контакт между слоями металла и затворного поликремния, а элементами 3, 4 и 6 образован трехмерный контакт между слоем затворного поликремния и кремниевым слоем истока КНИ МОП-транзистора.

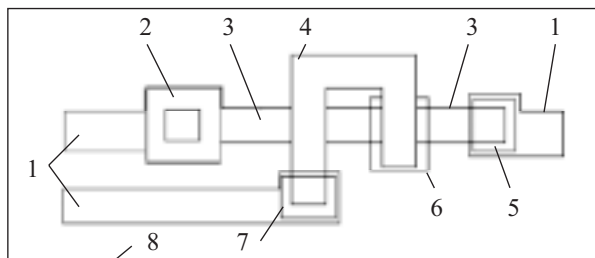


Рис. 5. Топология КНИ МОП-транзистора с разными типами контактов к его электродам:

- 1 — металлические шины; 2, 5, 7 — контактные окна в между-слойном изоляционном диэлектрике в оксиде кремния; 3 — сток-истоковые области транзистора; 4 — поликремниевый затвор транзистора; 6 — контактное окно в подзатворном диэлектрике; 8 — поверхность оксида кремния в структуре КНИ

Схема и элементы управления автоэмиссионным КНИ-микрокатодом

Базовой ячейкой матрицы автоэмиссионных микрокатодов является микрокатод, монолитно интегрированный с МОП-транзистором на локальных КНИ-структурах. Для стабильной автоэмиссии электронов необходим высокий вакуум и разница потенциалов между катодом и экстракционным электродом в пределах 60—100 В в зависимости от размера апертуры экстракционного электрода и материала покрытия микрокатада. Управлять автоэмиссионным микрокатодом может МОП-транзистор, который выдерживает высокие пробивные напряжения и обеспечивает токи стока, соизмеримые с автоэмиссионными токами. В [10] приведена модель масштабируемого высоковольтного МОП-транзистора с дрейфовой областью, сопротивление которой зависит от приложенного напряжения между стоком и истоком. По аналогии с такой моделью объемного МОП-прибора разработан высоковольтный КНИ МОП-транзистор, монолитно интегрированный с автоэмиссионным излучателем. Технология изготовления такого интегрированного прибора описана в [7], а структура и топология показана на рис. 6 и 7.

Результаты компьютерного моделирования статических характеристик высоковольтного КНИ МОП-транзистора показаны на рис. 8. (Здесь $I_{\text{ст}}$, $I_{\text{ист}}$ — значения тока стока и истока, $U_{\text{ст}}$, $U_{\text{ист}}$, $U_{\text{зат}}$ — напряжение стока, истока и затвора, соответственно.)

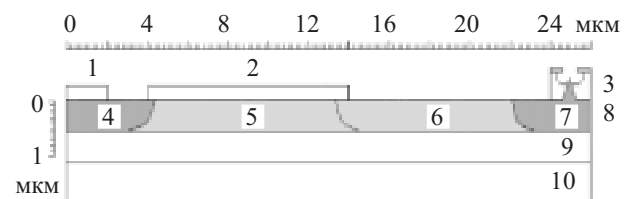


Рис. 6. Структура высоковольтного КНИ МОП-транзистора, монолитно интегрированного с автоэмиссионным излучателем:

- 1 — исток; 2 — затвор с подзатворным окислом толщиной 30 нм; 3 — излучатель; 4 — область истока (легирована $\text{P} \cdot 10^{19} \text{ см}^{-3}$); 5 — подзатворная область (легирована $\text{B} \cdot 5 \cdot 10^{17} \text{ см}^{-3}$); 6 — дрейфовая область (легирована $\text{P} \cdot 3 \cdot 10^{15} \text{ см}^{-3}$); 7 — область стока и микрокатада (легирована $\text{P} \cdot 10^{19} \text{ см}^{-3}$); 8 — КНИ-слой; 9 — слой углубленного SiO_2 ; 10 — кремниевая пластина

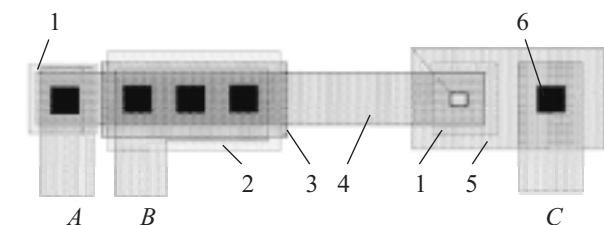


Рис. 7. Схематическая топология высоковольтного КНИ МОП-транзистора:

- 1 — области легирования n -типа проводимости; 2 — затвор из W; 3 — область легирования канала транзистора p -типа проводимости; 4 — кремниевая пленка на изоляторе; 5 — экстракционный электрод из Mo; 6 — контактные окна и междуслойные соединения; A, C — металлические шины для подачи напряжения питания; B — шина для подачи управляющих сигналов

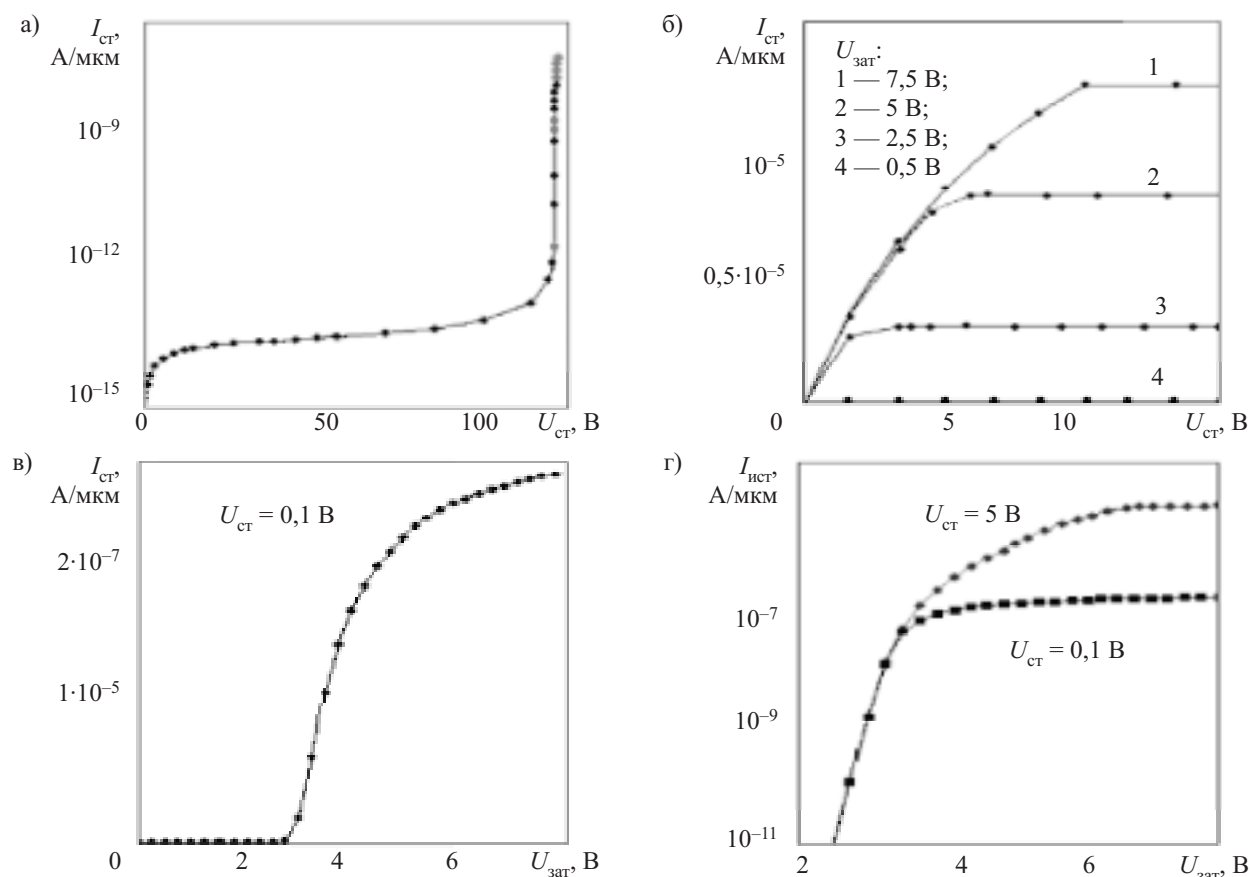


Рис. 8. Статические характеристики высоковольтного КНИ МОП-транзистора:

а — выходная, включающая режим пробоя транзистора; б — выходная, в режиме малых напряжений на стоке транзистора; в, г — входные характеристики транзистора

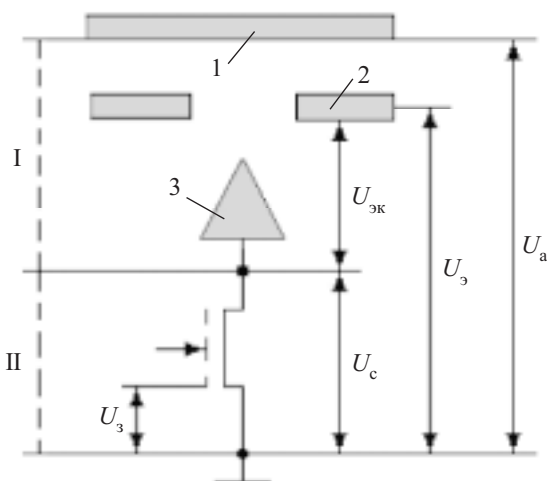


Рис. 9. Эквивалентная электрическая схема высоковольтного КНИ МОП-транзистора:

I — автоэмиссионный микрокатод; II — высоковольтный КНИ МОП-транзистор; 1 — анод; 2 — экстракционный электрод; 3 — микрокатод; 4 — КНИ МОП-транзистор

Как видно из приведенных характеристик, КНИ МОП-транзистор функционирует в диапазоне напряжений сток—исток до 110 В и при напряжениях на затворе до 2,5 В обеспечивает микроамперные токи стока, достаточные для автоэмиссии электронов с микрокатада излучателя. Изменяя длину дрейфовой

области можно обеспечить пробивные напряжения в диапазоне 20—200 В без изменения топологических размеров других элементов транзистора.

Эквивалентная электрическая схема высоковольтного КНИ МОП-транзистора, интегрированного с автоэмиссионным микрокатодом, приведена на рис. 9. Здесь показаны напряжения на участках: $U_3=5$ В — затвор—исток; U_c — сток—исток; $U_{эк}$ — электрод—катод; $U_3=90$ В — электрод—исток; $U_a=100$ В — анод—исток.

Как видно из рисунка, затвор и сток транзистора, экстракционный электрод и анод микрокатада имеют разные потенциалы, а величина стокового напряжения определяется рабочей точкой совмещенных характеристик интегрированного устройства, как показано на рис. 10. Рабочая точка находится на пересечении эмиссионной кривой микрокатада и линейной области нагрузочной характеристики транзистора.

В результате физико-химических процессов на поверхности автоэмиссионного микрокатада происходят значительные скачки величины автоэмиссионного тока $I_{эм}$ (точки с, d). При последовательном включении КНИ МОП-транзистора и автоэмиссионного микрокатада эмиссионный ток стабилизируется за счет перемещения рабочей точки в пределах линейного участка нагрузочной характеристики транзистора (точки а, б). При этом определяющим

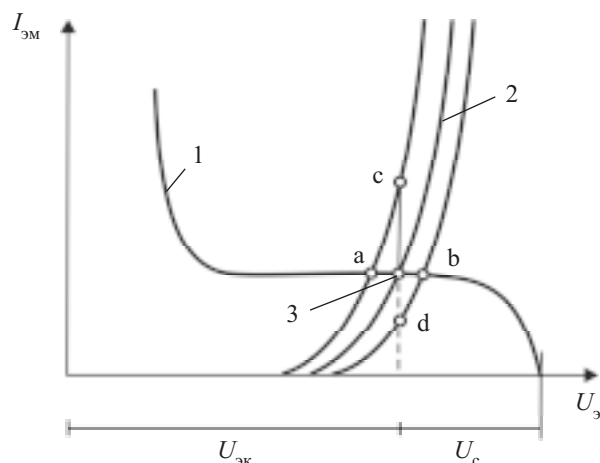


Рис. 10. Управляемый режим работы автоэмиссионного микрокатада:

1 — нагрузочная характеристика КНИ МОП-транзистора; 2 — эмиссионная кривая микрокатада; 3 — рабочая точка

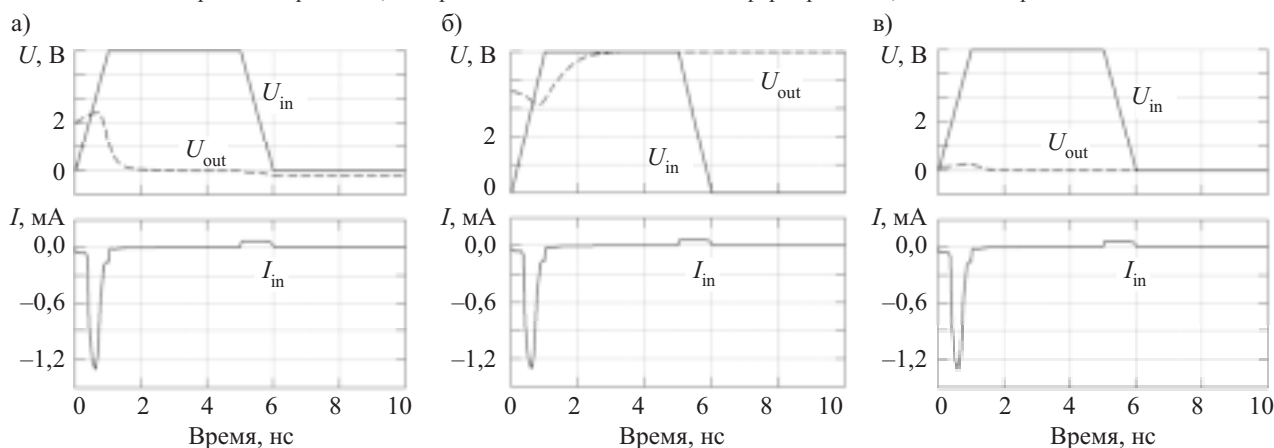


Рис. 12. Временные зависимости тока при переходном процессе (I_{in}), входного (U_{in}) и выходного (U_{out}) импульсов в различных точках системы:

а — ячейка памяти (точка 1); б — формирователь (точка 2); в — формирователь (точка 3)

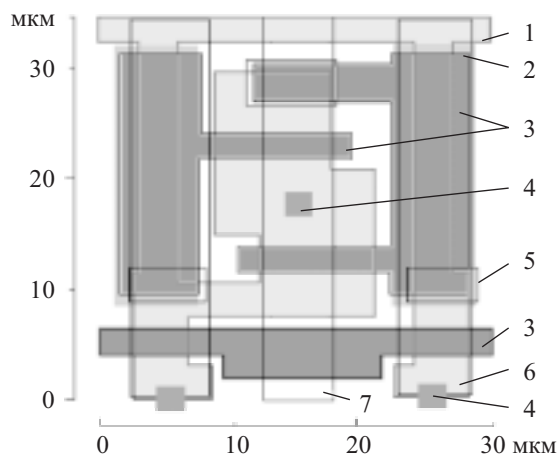


Рис. 13. Топология ячейки памяти, изготовленной по стандартной n -канальной МОП-технологии:

1 — область кремния n^+ -типа; 2 — область легирования каналов n -типа нагрузочных транзисторов; 3 — поликремниевые затворы управляющих транзисторов; 4 — контакты к сток-источковым областям; 5 — спрятанные контакты поликремния к диффузионным областям; 6 — шина записи/считывания информации; 7 — общая шина (площадь ячейки составляет 1050 мкм^2)

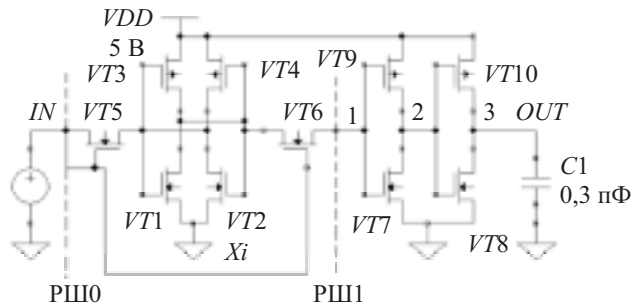


Рис. 11. Схема тестирования однобитовой ячейки памяти с формирователем сигналов:

VT1—VT6 — транзисторы RS-триггера; VT1, VT2 — ключевые МОП-транзисторы n -типа проводимости; VT3, VT4 — нагрузочные МОП-транзисторы p -типа проводимости; VT5, VT6 — управляющие n -канальные МОП-транзисторы для записи/считывания информации с ячейки; Xi — адресная шина; РШ0, РШ1 — разрядные шины; VT7—VT8 — n -канальные МОП-транзисторы формирователя; VT9—VT10 — p -канальные МОП-транзисторы формирователя; VDD — напряжение питания

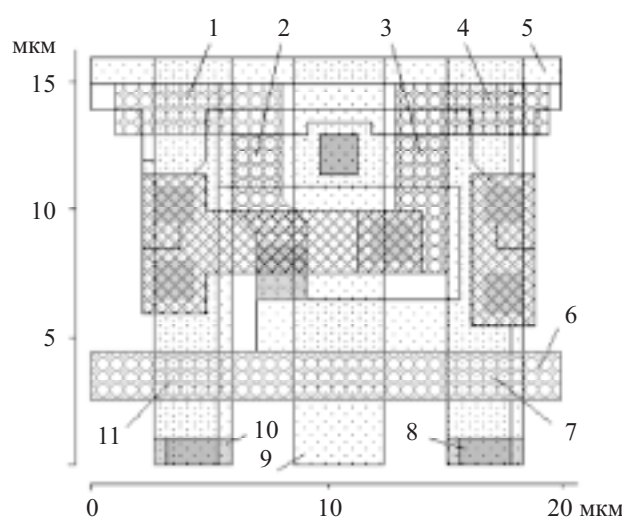


Рис. 14. Топология ячейки памяти, изготовленной с использованием трехмерных КНИ-структур:

1 — VT3; 2 — VT1; 3 — VT2; 4 — VT4; 5 — U_{cc} ; 6 — Xi; 7 — VT6; 8 — РШ1; 9 — GND; 10 — РШ0; 11 — VT5 (площадь ячейки составляет 320 мкм^2)

для величины автоэмиссионного тока становится стоковый ток КНИ МОП-транзистора, а следовательно, изменяя величину последнего можно управлять режимом работы автоэмиссионного микроканала.

Информация о необходимости включения или выключения микроканала с помощью высоковольтного КНИ МОП-транзистора хранится в однобитовой статической ячейке памяти с классической структурой RS-триггера. Ячейки памяти работают при низких напряжениях и располагаются на кристалле отдельно от высоковольтных схем. Выходной сигнал ячейки памяти имеет небольшую мощность, поэтому для управления удаленным высоковольтным КНИ МОП-транзистором нужен дополнительный формирователь сигналов. Схема тестирования ячейки памяти с двухкаскадным формирователем сигналов изображена на рис. 11.

Для исследования схемы на вход IN подавались импульсные сигналы амплитудой 5 В и длительностью 6 нс. Временные зависимости тока во время переходного процесса, а также входного и выходного импульсов, ячейки памяти (точка 1 на схеме) и формирователя (точки 2, 3) показаны на рис. 12.

Как видно из рис. 12, а, сигнал на выходе ячейки не сформирован и поэтому не может управлять высоковольтным КНИ МОП-транзистором. После прохождения первого каскада формирователя сигнал инвертируется, а его форма существенно улучшается. Следующий каскад еще раз инвертирует сигнал и повторяет его уровень на выходе из ячейки памяти. Размеры транзисторов формирователя выбраны из условия обеспечения его работоспособности.

При необходимости размещения на пластине большого количества микроканалов с ячейками памяти критическими становятся размеры последних. Разработанная ячейка памяти на трехмерной КНИ-структуре и экспертная оптимизация ее топологии позволила уменьшить занимаемую площадь в 3,2 раза, по сравнению с площадью ячейки, изготовленной по стандартной n -канальной МОП-технологии, при одинаковых конструкторско-технологических ограничениях. Топология ячеек памяти, изготовленных по стандартной n -канальной МОП-технологии и с использованием трехмерных КНИ-структур, показана на рис. 13 и 14.

Заключение

Проведенные исследования позволили разработать метод локального формирования трехмерных

КНИ-структур, который можно использовать для создания как планарных, так и трехмерных приборных элементов и контактов. На таких КНИ-структурах разработан управляющий высоковольтный МОП-транзистор и ячейка памяти с формирователем сигналов для хранения топологической информации. Экспертная оптимизация топологии ячейки памяти позволила значительно уменьшить ее площадь по сравнению с площадью ячейки, изготовленной по стандартной n -канальной МОП-технологии.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Baylor L. R., Lowndes D. H., Thomas C. E. et al. Digital electrostatic electron-beam array lithography // J. Vacuum Science & Technology B (Microelectronics and Nanometer Structures).— 2002.— Vol. 20.— P. 2646—2650.
2. Dai V., Zakhov A. Lossless layout compression for maskless lithography systems // Emerging Lithographic Technologies IV, Proc. of the SPIE.— San Jose, California.— 2000.— Vol. 3997.— P. 467—477.
3. Cadence design systems, Inc. / Calma. GDSII Stream Format Manual, Feb. 1987, Release 6.0, Documentation N. B97E060.
4. Dai V., Zakhov A. Lossless compression techniques for maskless lithography data // Emerging Lithographic Technologies VI, Proc. of the SPIE.— 2002.— Vol. 4688.— P. 583—594.
5. Nikolić B., Wild B., Dai V. et al. Layout decompression chip for maskless lithography // Emerging Lithographic Technologies VIII, Proc. of the SPIE.— San Jose, California.— 2004.— Vol. 5374, N. 1.— P. 1092—1099.
6. Druzhynin A., Kogut I. Digital CMOS ARRAY based on SOI structures // Electron Technology (Warszawa).— 1999.— Vol. 32, N 1/2.— P. 142—145.
7. Голота В. І., Когут І. Т. Керований автоемісійний кремнієвий катод субмікронних розмірів на основі структур кремнію на ізоляторі // Фізика і хімія твердого тіла.— 2007.— Т. 8, № 4.— С. 856—860.
8. Дружинин А. А., Голота В. И., Когут И. Т. Технология изготовления автоэмиссионных кремниевых катодов субмикронных размеров // Технология и конструирование в электронной аппаратуре.— 2007.— № 5.— С. 50—53.
9. Пат. 24157 України. Спосіб експонування топографічних зображень із використанням рядів матриць із автоелектронними випромінювачами різних розмірів / Когут І. Т., Голота В. І.— 2007.— Бюл. № 9.
10. Chauhan Y. S., Anghel C. et al. A highly scalable high voltage MOSFET model // J. Solid-State Electronics.— 2006.— Vol. 50.— P. 1801—1813.

НОВЫЕ КНИГИ

Катцен Сид. PIC-микроконтроллеры. Все, что вам необходимо знать.— М.: Додэка-XXI, 2008.— 656 с.

Книга представляет собой исчерпывающее руководство по микроконтроллерам семейства PIC компании Microchip, которые являются промышленным стандартом в области встраиваемых цифровых устройств. В книге подробно описывается архитектура и система команд 8-битных микроконтроллеров PIC, на конкретных примерах изучается работа их периферийных модулей.

