

В. В. АНТОНЮК, д. т. н. А. В. ДРОЗД, к. т. н. Ю. В. ДРОЗД, к. т. н. А. С. СТЕПОВАЯ

Украина, Одесский национальный политехнический университет

E-mail: viktor.v.antoniuk@gmail.com, drozd@ukr.net

КОНТРОЛЕПРИГОДНОСТЬ СХЕМ В FPGA-ПРОЕКТАХ ПО ПРИЗНАКУ РАССЕЙВАЕМОЙ МОЩНОСТИ

Рассматриваются вопросы контролепригодности схем FPGA-проектов, а также возможность и целесообразность расширения традиционно используемой логической формы до контролепригодности по признаку рассеиваемой мощности. Анализируются ограничения логической контролепригодности схем, связанной с тестовым и рабочим диагностированием цифровых схем. Отмечаются особенности контролепригодности схем в FPGA-проектах и ее достоинства, важные для критических приложений. Предлагается аналитическая оценка пригодности схем к проведению диагностирования неисправностей, повышающих рассеиваемую мощность, таких как короткое замыкание, и организация мониторинга ее превышения. Приводятся результаты экспериментов по оценке контролепригодности схем сдвиговых регистров, имплементированных в FPGA-проектах.

Ключевые слова: контролепригодность схем, логическая форма, рассеиваемая мощность, FPGA-проектирование, короткое замыкание, мониторинг рассеиваемой мощности, сдвиговой регистр.

Важной характеристикой современных компьютерных систем и компонентов является контролепригодность — пригодность схем к контролю возникающих в них неисправностей. Контролепригодность связана с видом выполняемого контроля. Для цифровых схем, как правило, выполняется логический контроль, основанный на проверке вычисляемого результата на наличие в нем ошибки. Ему соответствует логическая контролепригодность цифровой схемы, наиболее распространенная в форме тестопригодности, т. е. пригодности схемы к написанию для нее тестов, выявляющих неисправности [1, 2]. Эта простая форма получила развитие в тестовом диагностировании цифровых схем, которое выполняется в паузах функционирования по назначению. Она является структурной контролепригодностью схемы, поскольку полностью определяется ее структурой.

В процессе выполнения основных вычислений логическая контролепригодность оказывается в существенной зависимости от входных данных, приобретая свойства структурно-функциональной контролепригодности, а также обеспечивает рабочее диагностирование цифровых схем [3, 4]. Методы и средства рабочего диагностирования применимы при выполнении основных вычислений с рабочими входными данными в рамках структурно-функциональной контролепригодности цифровых схем.

Развитие компьютерных систем в направлении критических приложений преобразовало их в информационно-управляющие системы критического применения, которые в соответствии с международными стандартами направлены на обеспечение функциональной безопасности и самой системы, и объекта управления для предотвращения аварий, а в случае их возникновения — снижения нанесенного ущерба [5, 6]. Объектами управления являются объекты повышенного риска — электростанции и энергосети, скоростной транспорт, различные виды вооружений и т. д. Системы критического применения проектируются для работы в двух режимах — нормальном и аварийном, в рамках которых на входы цифровых схем поступают, в общем случае, различные входные данные, преобразующие структурно-функциональную контролепригодность в двухрежимную, т. е. разную в этих режимах. Это создает проблему, когда скрытые неисправности могут накапливаться в нормальном режиме и проявляться в аварийном снижением отказоустойчивости схем, являющейся основой функциональной безопасности систем и компонентов [7, 8].

Для решения этой проблемы на практике используют имитационные тестовые режимы, воссоздающие аварийные условия. Они повышают контролепригодность системы и компонентов, однако само их наличие представляет су-

ществленную опасность и не раз приводило к аварийным ситуациям в результате неисправности или несанкционированного включения [9, 10]. Известны методы оценки и улучшения структурно-функциональной и двухрежимной логической контролепригодности цифровых схем [11], однако они имеют свои ограничения, которые стимулируют поиск других форм контролепригодности.

Современные САПР, поддерживающие FPGA-проектирование (FPGA — field-programmable gate array), предлагают средства предварительной и текущей оценки FPGA-проектов по их энергопотреблению, что создает основу для использования контролепригодности схем по признаку рассеиваемой или потребляемой мощности. Этому же способствует тенденция к усложнению FPGA-проектов, что, с одной стороны, усложняет оценку и использование логической контролепригодности, ослабляя ее позиции, а с другой, совершенствует энергопотребление, его оценку, регулирование и контроль.

Контролепригодность схем по рассеиваемой мощности имеет преимущество перед контролем потребляемой мощности благодаря более доступным средствам измерения — температурным датчикам.

При анализе контролепригодности схемы на основе энергопотребления используются данные о допустимом диапазоне изменения мощности, функционирование за пределами которого однозначно указывает на наличие неисправности. Существование двух таких областей — ниже и выше допустимых значений мощности — определяет, соответственно, так называемые нижнюю и верхнюю контролепригодность схемы. Нижняя обеспечивает мониторинг общих сигналов, таких как сброс или синхронизация, общее управление (неисправности в цепях общих сигналов могут существенно снижать энергопотребление в его динамической составляющей и не всегда поддаются логическому контролю [12]), верхняя связана с неисправностями, повышающими энергопотребление. Поскольку последнее приводит к логическим проявлениям неисправности, возникает вопрос о целесообразности рассмотрения верхней контролепригодности в условиях уже достаточно широко используемой логической контролепригодности схем.

Целью данной работы является рассмотрение возможности и целесообразности расширения традиционно используемой логической контролепригодности до контролепригодности по признаку рассеиваемой мощности. Кроме того, предлагается аналитическая оценка верхней контро-

лепригодности по рассеиваемой мощности, организация ее мониторинга для обнаружения коротких замыканий и экспериментальное исследование значений контролепригодности в Intel FPGA-проектах, разработанных с использованием САПР Quartus Prime на примере матричных умножителей.

Целесообразность рассмотрения верхней контролепригодности цифровых схем

Верхняя контролепригодность схем по рассеиваемой мощности важна в тех случаях, когда логическая контролепригодность уступает ей по времени при выявлении неисправностей. Эти случаи определяются характером неисправности и/или особенностями схемы и ее входных данных, когда существенное повышение мощности, вызванное неисправностью, может быть зафиксировано раньше, чем ошибка контролируемого результата. Это может иметь место в случае деградиационного характера неисправности, а также для неисправностей, скрытых (или временно скрытых) по причине отсутствия (или временного отсутствия) проявляющих их входных данных. В этих условиях верхняя контролепригодность обеспечивает более раннее, чем логическая, обнаружение неисправности, сокращая время протекания скрытых процессов, чем повышает функциональную безопасность системы.

В критических приложениях разнообразие входных данных, а значит, и структурно-функциональная логическая контролепригодность схем, как правило, существенно ограничены, что способствует накоплению скрытых неисправностей, в том числе повышающих энергопотребление и рассеиваемую мощность. Логическая контролепригодность открывается для таких неисправностей только с наступлением аварийного режима, что не способствует предотвращению аварии. К существенным недостаткам логической двухрежимной структурно-функциональной контролепригодности относится также трудоемкость ее оценки в современных конвейерных системах с развитыми матричными структурами в составе секций. Для систем критического применения необходимо выполнять трудоемкое моделирование с использованием специально разрабатываемых программных моделей или существенно дорабатываемых аппаратных решений на основе исходного FPGA-проекта, нацеленных на исследование наблюдаемости точек цифровой схемы.

Оценка верхней контролепригодности схем в FPGA-проектах

Одним из наиболее распространенных подходов к построению современных цифровых систем является их реализация на базе про-

граммируемых логических интегральных схем (programmable logic device — PLD), в частности программируемых пользователем вентильных матриц (field-programmable gate array — FPGA). Такая элементная база становится приоритетной и для проектирования цифровых компонентов в составе систем критического применения [13].

Контролепригодность схемы C_H может быть оценена отношением объема V_N диапазона невозможных значений мощности к объему V_T всего диапазона ее значений. Для верхней контролепригодности объем V_N формируется из значений, превышающих максимально возможную мощность. Верхней границей диапазона невозможных значений является предельная потребляемая мощность, устанавливаемая для конкретных типов микросхем. Объем V_T охватывает диапазон от наименьшего возможного до предельного значения мощности.

В САПР Quartus Prime [14], предназначенной для разработки проектов цифровых схем на PLD Intel FPGA, рассеиваемая мощность проекта оценивается утилитой PowerPlay Power Analyzer [15].

Объем диапазона, характеризующего верхнюю контролепригодность схемы, может быть учтен конкретными значениями рассеиваемой мощности в следующей формуле:

$$C_H = (N_B - N_{\max}) / (N_B - N_{\min}), \quad (1)$$

где N_B , N_{\max} и N_{\min} — предельная, максимально и минимально возможная рассеиваемая мощность соответственно.

Предельная рассеиваемая мощность N_B рассчитывается, исходя из максимально допустимой рабочей температуры для конкретного типа FPGA микросхемы.

Максимально (N_{\max}) и минимально (N_{\min}) возможные значения мощности оцениваются с учетом оценок мощности и их погрешностей, определяемых утилитой PowerPlay Power Analyzer в зависимости от активности входных сигналов цифровой схемы. Поскольку повышение активности сигналов приводит к росту потребляемой и рассеиваемой мощности, значения N_{\max} и N_{\min} оцениваются, соответственно, при максимальной ($N_{A.\max}$) и нулевой ($N_{A.0}$) активности входных сигналов по следующим формулам:

$$N_{\max} = N_{A.\max} + 0,5\Delta N_{A.\max}; \quad (2)$$

$$N_{\min} = N_{A.0} - 0,5\Delta N_{A.0}, \quad (3)$$

где $\Delta N_{A.\max}$, $\Delta N_{A.0}$ — погрешности оценки рассеиваемой мощности утилитой (учитываются в части увеличения N_{\max} и уменьшения N_{\min} , т. е. с коэффициентом 0,5).

Активность входных сигналов задается в утилите в процентах от активности синхросигналов, и возможно, что ее значение будет превышать 100%. Реальная максимальная активность входных сигналов может быть оценена путем аппаратного моделирования проекта на наборах входных сигналов повышенной активности. Один из подходов к такой оценке состоит в поочередной активации одномерных путей от каждого входа схемы с полным перебором значений на остальных входах [16, 17].

Решение обеспечивается средствами пакета ModelSim Intel® FPGA Starter Edition, который выполняет как логическое (register transfer level), так и вентильное (gate-level) моделирование проектов, реализованных в Quartus Prime. Формируется специальный файл-тестбенч, который содержит HDL-описание интерфейса входов/выходов моделируемого проекта и теста, определяющего очередность и частоту смены значений для входов проекта. Файл-тестбенч редактируется в текстовом редакторе путем задания требуемых тестовых входных наборов. Отредактированный файл-тестбенч запускается на выполнение в ModelSim для моделирования работы проекта при заданных входных последовательностях. По результатам моделирования ModelSim формирует временную диаграмму для входов/выходов проекта и специальный файл Value Change Dump, содержащий информацию об активности (частота переключений) всех входных/выходных и внутренних сигналов проекта. Данный файл используется утилитой PowerPlay Power Analyzer для более корректной оценки параметров энергопотребления и тепловыделения проекта с учетом реальной активности сигналов.

Особенности мониторинга рассеиваемой мощности

Мониторинг рассеиваемой мощности выполняется в FPGA-проектах с использованием датчиков температуры. Необходимо сопоставить нижнюю границу N_{\max} верхней контролепригодности с показаниями датчика. Сравнимые величины следует привести к одной характеристике: рассеиваемой мощности или температуре. Поскольку величина N_{\max} является постоянной для FPGA-проекта, целесообразно преобразовать ее в соответствующее значение температуры. Неисправность обнаруживается в том случае, если показание датчика превышает температуру кристалла, определяемую по рассеиваемой мощности N_{\max} . Таким образом, мониторинг рассеиваемой мощности FPGA-проекта являет-

ся по сути мониторингом температуры кристалла микросхемы.

Температура кристалла T_J и его рассеиваемая мощность N связаны между собой следующей формулой [15]:

$$T_J = NR_{JA} + T_A, \quad (4)$$

где T_A — температура окружающей среды;

R_{JA} — тепловое сопротивление системы «кристалл — среда».

При $N = N_{\max}$ формула (4) позволяет рассчитать соответствующую этой рассеиваемой мощности температуру кристалла $T_{J\max}$.

Тепловое сопротивление R_{JA} является константой для FPGA-проекта, значение которой зависит от наличия или отсутствия системы охлаждения. При наличии системы охлаждения оно определяется как сумма значений теплового сопротивления систем «кристалл — корпус» (R_{JC}), «корпус — система охлаждения» (R_{CHS}), «система охлаждения — среда» (R_{HSA}): $R_{JA} = R_{JC} + R_{CHS} + R_{HSA}$.

Формула (4) также позволяет рассчитать значение предельной рассеиваемой мощности по максимально допустимой рабочей температуре T_{JB} кристалла FPGA: $N_B = (T_{JB} - T_A) / R_{JA}$, что необходимо для оценки контролепригодности по формуле (1).

Метод мониторинга, реализуемый на основе формулы (4), предполагает использование двух датчиков температуры, которые определяют текущую температуру кристалла T_C и температуру окружающей среды T_A , а также схемы формирования сравниваемых величин и схему сравнения. Между собой сравниваются величины T_S и T_M : первая отражает пороговое значение температуры кристалла, превышение которой указывает на наличие неисправности, вторая — измеряемое значение температуры кристалла с учетом погрешности измерения датчиков:

$$T_S = C + T_A + 0,5\Delta T_A; \quad (5)$$

$$T_M = T_C - 0,5\Delta T_C, \quad (6)$$

где C — заранее вычисленная для FPGA-проекта константа, $C = N_{\max}R_{JA}$;

ΔT_C , ΔT_A — погрешности измерения датчиков температуры кристалла и окружающей среды соответственно.

Сравнение выполняется по формуле $T_M > T_S$, т. е. неисправность обнаруживается при условии $T_C > C + T_A + 0,5(\Delta T_A + \Delta T_C)$ или $T_C > T_S$, где $T_S = T_{J\max} + 0,5(\Delta T_A + \Delta T_C)$ — порог обнаружения неисправности.

Экспериментальная часть

Для экспериментальной оценки верхней контролепригодности по рассеиваемой мощности были реализованы FPGA-проекты сдвигового регистра на разных структурных блоках FPGA.

Для размещения проектов была выбрана FPGA Intel Max 10 10M50DAF672I7G, максимально допустимая температура которой составляет $T_{JB} = 100^\circ\text{C}$. При моделировании в PowerPlay Power Analyzer устанавливаются следующие значения теплового сопротивления и температуры окружающей среды: $R_{JC} = 4,60^\circ\text{C}/\text{Вт}$, $R_{CHS} = 0,10^\circ\text{C}/\text{Вт}$, $R_{HSA} = 2,80^\circ\text{C}/\text{Вт}$, $T_A = 25^\circ\text{C}$. Из формулы (2) определяется предельное значение рассеиваемой мощности для выбранной FPGA:

$$N_{DB} = (100 - 25) / (4,60 + 0,10 + 2,80) = 10 \text{ Вт.}$$

Первый проект сдвигового регистра был реализован на базе интеллектуального модуля (IP-Core) сдвигового регистра LPM_SHIFT из библиотеки параметризованных модулей (library of parameterized modules). САПР Quartus Prime имплементирует модуль в FPGA, используя встроенные М9К блоки памяти, каждый из которых содержит 9216 битов, а всего чип 10M50DAF672I7G имеет 1677312 бита памяти. Общее количество блоков памяти М9К составляет около 5% площади всего чипа.

Второй проект был реализован в виде пользовательского VHDL-описания. Результаты реализации приведены в **таблице**.

В проекте к каждому разряду регистра добавляется инвертор на выходе. САПР Quartus Prime имплементирует пользовательский проект в FPGA, используя основной структурный компонент чипа — логический элемент, состоящий из логической таблицы и триггера. Чип 10M50DAF672I7G содержит 49760 таких элементов. Общее количество логических блоков составляет около 85% площади всего чипа. Каждый разряд сдвигового регистра пользовательского проекта занимает один логический элемент — триггер для хранения бита разряда и логическую таблицу для реализации функции инверсии.

Данные, приведенные в таблице, показывают высокий уровень верхней контролепригодности S_H , который с ростом доли используемой части микросхемы незначительно снижается для библиотечного решения и в большей степени — в случае пользовательской схемы.

СОВРЕМЕННЫЕ ЭЛЕКТРОННЫЕ ТЕХНОЛОГИИ

Результаты реализации проектов для IP-Core LPM_SHIFT и для пользовательского VHDL-описания

Доля использованных битов встроенной памяти, %	Частота, МГц	Рассеиваемая мощность, мВт		Температура кристалла, °С		C_H	T_S
		N_{max}	N_{min}	T_{Jmax}	T_{Jmin}		
IP-Core LPM_SHIFT							
1	250	128,22	113,99	26,0	25,9	0,998	26,2
20	222	328,20	237,04	27,5	26,8	0,990	27,7
40	200	496,28	331,30	28,7	27,5	0,983	28,9
60	200	697,97	448,56	30,2	28,4	0,974	30,4
80	172	825,01	512,97	31,2	28,8	0,967	31,4
Пользовательское VHDL-описание							
1	250	185,21	121,08	26,4	25,9	0,99	26,6
20		482,04	182,42	28,6	26,4	0,97	28,8
40		856,14	258,11	31,4	26,9	0,94	31,6
60		1579,01	388,61	36,8	27,9	0,88	37,0
80		3036,08	638,17	47,8	29,8	0,74	48,0

Порог T_S обнаружения неисправности предложенным методом превышает температуру T_{Jmax} на величину $0,5(\Delta T_A + \Delta T_C)$, рассчитанную для погрешности $\Delta T_A = \Delta T_C = 0,2^\circ\text{C}$.

Заключение

Таким образом, проведенные исследования указывают на значительные потенциальные возможности использования верхней контролепригодности для мониторинга неисправностей короткого замыкания в FPGA-проектах, что важно для систем критического применения в условиях ограниченных возможностей логической контролепригодности при решении проблем, связанных со скрытыми неисправностями.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Abramovici M., Breuer M., Friedman A. Digital systems testing and testable design. — New York: Wiley-IEEE Press, 1990.
2. Matrosova A., Nikolaeva E., Kudin D., Singh V. PDF testability of the circuits derived by special covering ROBDDs with gates // IEEE East-West Design and Test Symposium (EWDTS 2013). — Russia, Rostov-on-Don. — 2013. — P. 1–5.
3. Nicolaidis M., Zorian Y., Pradhan D. On-Line Testing for VLSI // Journal of Electronic Testing: Theory and Application. — 1998. — Vol. 12, № 1/2. — P. 7–159.
4. Metra C., Schiano L., Favalli M., Ricco B. Self-checking scheme for the on-line testing of power supply noise // Proc. of the Design, Automation and Test in Europe Conference. — France, Paris. — 2002. — P. 832–836.
5. IEC 61508-1:2010. Functional safety of electrical/electronic/programmable electronic safety related systems. Part 1: General requirements.
6. Andrashov A., Kharchenko V., Siora A. et al. A certification of FPGA-based safety instrumentation and control platform in accordance with IEC 61508 // Critical

Infra-structure Safety and Security. — 2011. — Vol. 1. — P. 148–152.

7. Drozd M., Drozd A. Safety-related instrumentation and control systems and a problem of the hidden faults // The 10th International Conference on Digital Technologies. — Slovak Republic, Zhilina. — 2014. — <http://dx.doi.org/10.1109/DT.2014.6868692>

8. Abramovich M., Stroud C., Hamilton C. et al. Using roving STARS for on-line testing and diagnosis of FPGAs in fault-tolerant applications // IEEE International Test Conference. — USA, Atlantic City. — 1999. — P. 973–982.

9. Gillis D. The apocalypses that might have been / URL: <https://www.damninteresting.com/the-apocalypses-that-might-have-been>

10. Final report on the August 14, 2003 Blackout in the United States and Canada: causes and recommendations / U.S.-Canada Power System Outage Task Force. — USA, 2004. — URL: <https://www3.epa.gov/region1/npdes/merrimackstation/pdfs/ar/AR-1165.pdf>

11. Drozd A., Kharchenko V., Antoshchuk S. et al. Checkability of the digital components in safety-critical systems: problems and solutions // IEEE East-West Design & Test Symposium. — Ukraine, Sevastopol. — 2011. — <http://dx.doi.org/10.1109/EWDTS.2011.6116606>

12. Drozd A., Drozd J., Antoshchuk S. et al. Green experiments with FPGA // In book: Green IT Engineering: Components, Networks and Systems Implementation. Vol. 105 / Ed. By V. Kharchenko, Y. Kondratenko, J. Kacprzyk. — Berlin, Heidelberg: Springer International Publishing, 2017. — P. 219–239. — http://dx.doi.org/10.1007/978-3-319-55595-9_11

13. Kharchenko V. S. FPGA-based NPP I&C Systems: Development and safety assessment // Ed. by V. S. Kharchenko, V. V. Sklyar. — Ukraine, Kharkiv: RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008.

14. Intel quartus prime standard edition user guide: getting started / URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-getting-started.pdf>

15. Intel quartus prime standard edition user guide: power analysis and optimization (2018) / URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-getting-started.pdf>

intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-power.pdf

16. Антонюк В.В., Дрозд О.В., Ніколенко І.М. Апаратна модель цифрових компонентів комп'ютерних систем // Холодильна техніка і технологія. — 2013. — № 2 (142). — С. 81 — 83.

17. Пат. 102743 України. Генератор послідовності n -розрядних двійкових кодів / О.В. Дрозд та ін. — 2013. — Бюл. № 15.

Дата поступления рукописи
в редакцию 09.04 2019 г.

В. В. АНТОНЮК, О. В. ДРОЗД, Ю. В. ДРОЗД, Г. С. СТЕПОВА

Україна, Одеський національний політехнічний університет

E-mail: viktor.v.antonjuk@gmail.com, drozd@ukr.net

КОНТРОЛЕПРИДАТНІСТЬ СХЕМ В FPGA-ПРОЕКТАХ ЗА ОЗНАКОЮ РОЗСІЮВАНОЇ ПОТУЖНОСТІ

Розглядаються питання контролепридатності схем FPGA-проектів. Аналізується логічна контролепридатність та її різновиди: структурна і структурно-функціональна. Відзначаються особливості систем критичного застосування, функціонування яких поділяється на два режими — нормальний та аварійний, в яких на входи цифрових схем компонентів подаються різні вхідні дані, що обумовлює розширення структурно-функціональної контролепридатності до дворежимної. Відмічається створення проблеми виявлення прихованих несправностей, які можуть накопичуватися в нормальному режимі та проявлятися в аварійному. Відзначаються особливості контролепридатності схем в FPGA проектах і її переваги, важливі для критичних додатків. Аналізуються обмеження логічної контролепридатності схем, а також можливість і доцільність розширення традиційно використовуваної логічної форми до контролепридатності за ознакою енергоспоживання. Визначається контролепридатність схем в FPGA-проектах за енергоспоживанням та її різновиди: нижня та верхня. Нижня контролепридатність важлива для виявлення несправностей, що призводять до зниження енергоспоживання, наприклад в ланцюгах загальних сигналів, таких як скидання або синхронізація. Верхня важлива для виявлення несправностей, що підвищують рівень енергоспоживання, наприклад короткі замикання. Визначаються можливості оцінки контролепридатності за енергоспоживанням FPGA-проектів за показниками розсіюваної або споживаної потужності та вказується доцільність розвитку верхньої контролепридатності за розсіюваною потужністю. Зазначаються особливості моніторингу розсіюваної потужності для FPGA-проектів. Пропонується аналітична оцінка придатності схем для діагностування несправностей, що підвищують розсіювану потужність, таких як коротке замикання, і організація моніторингу її перевищення. Проводяться експерименти в САПР Quartus Prime Lite по оцінці верхньої контролепридатності за розсіюваною потужністю масштабованих схем регістрів зсуву, що реалізовані в FPGA-проектах на базі вбудованого IP-Core, та користувацького VHDL-опису. Наводяться результати експериментів, що оцінюють залежність рівня контролепридатності від площі, що займає схема на кристалі FPGA.

Ключові слова: контролепридатність схем, логічна форма, розсіювана потужність, FPGA-проекткування, коротке замикання, моніторинг розсіюваної потужності, регістр зсуву.

DOI: 10.15222/TKEA2019.1-2.03 V. V. ANTONIUK, A. V. DROZD, J. V. DROZD, H. S. STEPОВА
UDC 004.315

Ukraine, Odessa National Polytechnic University

E-mail: viktor.v.antonjuk@gmail.com, drozd@ukr.net

CHECKABILITY OF THE CIRCUITS IN FPGA DESIGNS ACCORDING TO POWER DISSIPATION

The authors consider the checkability issues of FPGA designs and analyze the logical (structural and structurally functional) checkability. The paper describes the features of safety-related systems that can operate in normal and emergency mode. In these modes different input data are fed to the inputs of the digital circuits of the components, which leads to an expansion of the structurally functional checkability to dual-mode. The paper shows the problem of hidden faults, which can accumulate in the normal mode and manifest themselves in the emergency mode. The features of checkability of circuits in FPGA projects and its advantages important for critical applications are noted.

The limitations of the logical checkability of the circuits are analyzed, as well as the possibility and expediency of expanding the traditionally used logical form to power usage checkability. The study defines the checkability of circuits in FPGA projects by power usage and determines its subtypes — lower and upper checkability.

Lower checkability is important in identifying faults that lead to lower power usage, for example, in chains of common signals, such as reset or synchronization. The upper one is important for identifying faults that increase the level of power usage, for example, short-circuits. The authors identify the possibility of assessing the power usage checkability of FPGA projects in terms of the power dissipation or power consumption and indicate the possibility of developing upper checkability by the dissipated power. The features of power dissipation monitoring for FPGA projects are noted.

An analytical assessment for the checkability of circuits for short-circuit faults, which increase the dissipated power, and the organization of monitoring its excess are proposed. Experiments in Quartus Prime Lite CAD to assess upper checkability by power dissipation of scalable shift register circuits, that are implemented in FPGA projects, based on default IP-Core and a custom VHDL description, are carried out. The paper presents experimental results, that estimate the dependence of the checkability level on the area, occupied by the circuit on the FPGA chip.

Keywords: checkability of circuits, logical form, power dissipation, FPGA design, power dissipation monitoring, shifting register.

REFERENCES

1. Abramovici M., Breuer M., Friedman A. *Digital Systems Testing and Testable Design*. New York: Wiley-IEEE Press, 1990, 652 p.
2. Matrosova A., Nikolaeva E., Kudin D., Singh V. PDF testability of the circuits derived by special covering ROBDDs with gates. *IEEE East-West Design and Test Symposium (EWDTS 2013)*, Russia, Rostov-on-Don, 2013, pp. 1–5.
3. Nicolaidis M., Zorian Y., Pradhan D. On-Line Testing for VLSI. *Journal of Electronic Test-ing: Theory and Application*, 1998, Vol. 12, № 1/2, pp. 7–159.
4. Metra C., Schiano L., Favalli M., Ricco B. Self-Checking scheme for the on-line testing of power supply noise. *Proc. of the Design, Automation and Test in Europe Conference*, France, Paris, 2002, pp. 832–836.
5. IEC 61508-1:2010. Functional safety of electrical/electronic/programmable electronic safety related systems. Part 1: General requirements.
6. Andrashov A., Kharchenko V., Siora A., Sklyar V., Volkoviy A. A Certification of FPGA-based safety Instrumentation and Control platform in accordance with IEC 61508. *Critical Infra-structure Safety and Security*, 2011, Vol. 1, pp. 148–152.
7. Drozd M., Drozd A. Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults. *The 10th International Conference on Digital Technologies*, Slovak Republic, Zhilina, 2014, <http://dx.doi.org/10.1109/DT.2014.6868692>
8. Abramovich M., Stroud C., Hamilton C., Wijesuriya S., Verma V. Using roving STARs for on-line testing and diagnosis of FPGAs in fault-tolerant applications. *IEEE International Test Conference*, USA, Atlantic City, 1999, pp. 973–982.
9. Gillis D. *The Apocalypses that Might Have Been*. URL: <https://www.damninteresting.com/the-apocalypses-that-might-have-been>
10. *Final Report on the August 14, 2003 Blackout in the United States and Canada: Causes and Recommendations*. U.S.-Canada Power System Outage Task Force, USA, 2004, URL: <https://www3.epa.gov/region1/npdes/merrimack-station/pdfs/ar/AR-1165.pdf>
11. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. Checkability of the digital components in safety-critical systems: problems and solutions. *IEEE East-West Design & Test Symposium*, Ukraine, Sevastopol, 2011, <http://dx.doi.org/10.1109/EWDTS.2011.6116606>
12. Drozd A., Drozd J., Antoshchuk S., Antonyuk V., Zashcholkin K., Drozd M., Titomir O. Green Experiments with FPGA. In book: *Green IT Engineering: Components, Networks and Systems Implementation. Vol. 105* / Ed. By V. Kharchenko, Y. Kondratenko, J. Kacprzyk, Berlin, Heidelberg: Springer International Publishing, 2017, pp. 219–239, http://dx.doi.org/10.1007/978-3-319-55595-9_11
13. Kharchenko V. S. *FPGA-based NPP I&C Systems: Development and Safety Assessment*. Ed. by V. S. Kharchenko, V. V. Sklyar, Ukraine, Kharkiv: RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008, 188 p.
14. *Intel Quartus Prime Standard Edition User Guide: Getting Started*. URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-getting-started.pdf>
15. *Intel Quartus Prime Standard Edition User Guide: Power Analysis and Optimization* (2018). URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qps-power.pdf>
16. Antoniuk V.V., Drozd O.V., Nikolenko I.M. Hardware model of digital components of computer systems. *Refrigeration Engineering and Technology*, 2013, №2 (142), pp. 81 – 83. (Ukr)
17. Pat. 102743 of Ukraine. *N-bit binary codes sequence generator* / O.V. Drozd, et al., 2013, bul. № 15. (Ukr)

Описание статьи для цитирования:

Антонюк В. В., Дрозд А. В., Дрозд Ю. В., Степовая А. С. Контролепригодность схем в FPGA-проектах по признаку рассеиваемой мощности. Технология и конструирование в электронной аппаратуре, 2019, № 1–2, с. 3–9. <http://dx.doi.org/10.15222/TKEA2019.1-2.03>

Cite the article as:

Antoniuk V. V., Drozd A. V., Drozd J. V., Stepova H. S. Checkability of the circuits in FPGA designs according to power dissipation. *Tekhnologiya i Konstruirovaniye v Elektronnoi Apparature*, 2019, no. 1–2, pp. 3–9. <http://dx.doi.org/10.15222/TKEA2019.1-2.03>